Taller de Logica Digital - Parte 2

Organizacion del Computador 1

Primer Cuatrimestre 2021

# Ejercicios

1. **Componentes de 3 estados**
   1. Completar la siguiente tabla:

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| A | A*en* | B | B*en* | C | C*en* | Estimado | Obtenido |
| 0 | 0 | 0 | 0 | 0 | 0 | Hi-z | Hi-z |
| 0 | 1 | 1 | 1 | 0 | 0 | Error | Error |
| 1 | 0 | 1 | 0 | 1 | 0 | Hi-z | Hi-z |
| 1 | 1 | 0 | 0 | 0 | 1 | Error | Error |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 | Error | Error |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 |

* 1. Completar la siguiente tabla:

|  |  |
| --- | --- |
| Color | Interpretación |
| Gris  Verde claro  Verde oscuro  Azul  Rojo | Los cables que van del “res” a las entradas están desconectados  Una línea de datos activada y una línea de control activada  Si se habilita una línea de control y las entradas están apagadas  Cuando no hay entradas de control activadas  Cuando hay más de una línea de control activada y las líneas de datos son distintas |

* 1. Enunciar la regla:

Nunca tener más de una línea de control activada

* 1. Explicar cuáles son y por qué:

Basura: cuando tenemos dos líneas de control activas y las entradas de esas respectivas líneas de control son iguales (básicamente estamos mandando el mismo dato)

1. **Transferencia entre registros**
   1. Detallar entradas y salidas:   
      entradas: clock , Force input  
      salidas: Bus, cada registro R ya que indican que valor esta guardado
   2. Secuencia de señales:  
      Force input <- 1  
      enforce\_input <- 1  
      W\_1 <-1  
      … / Clock <- 1  
      R1 <- 1
   3. Secuencia de señales:  
      R0 <- X  
      en\_0 <- 1  
      Bus <- X  
      W1 <- 1  
      …/ Clock <- 1  
      R1 <- X  
      W1 <- 0  
      en\_0 <- 0  
      en\_2 <- 1  
      W0 <- 1  
      …/ Clock <- 1  
      R0 <- R2  
      R1 <- X  
      en\_1 <- 1  
      W\_2 <- 1  
      …/Clock <- 1  
      R2 <- R1

1

1. **Maquina de 4 registros con suma y resta**.
   1. Detallar entradas y salidas:  
      entradas:  
      cada componente de los registros (Wout/enout)  
      cada registro de la ALU,el selector de operacion  
      forcé input   
      salidas:  
      las flags  
      el bus
   2. Detallar el contenido de cada display:  
      Los 4 de la izquierda representan cada numero almacenado en cada registro de 4 bits (izquierda)  
      Los 3 superiores muestran el resultado de la operación de la ALU  
      El display de abajo a la derecha muestra el resultado del resultado de la ALU para guardarlo en algún registro y tambien el valor del forcé input  
      El display “bus 1” muestra el valor del registro
   3. Secuencia de señales:  
      forcé input  
      habilitar escritura registro R2  
      clock  
      idem pero pongo el nro en CA2 y cambio el registro duh
   4. Completar la siguiente tabla:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Valor inicial | Resultado operación 1 | Flags | Resultado operacion 2 | Flags |
| (4, 0)  (7, -1)  (-8, -2)  (8, -9) | 4  7  6 | 0  VCN  VC | 4  7  6 | 0  C  VC |

Los resultados interpretados en sin signo y en complemento a 2.

* 1. Explicar  
     Para no tener que esperar al siguiente clock para guardar el resultado

# Correccion

Integrantes:

Nombre y Apellido: LU:

Nombre y Apellido: LU:

Para uso de los docentes:

|  |  |  |
| --- | --- | --- |
| 1 | 2 | 3 |
|  |  |  |

2